



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08062579 A**(43) Date of publication of application: **08 . 03 . 96**

(51) Int. Cl

**G02F 1/133**  
**G02F 1/136**  
**H01L 29/786**

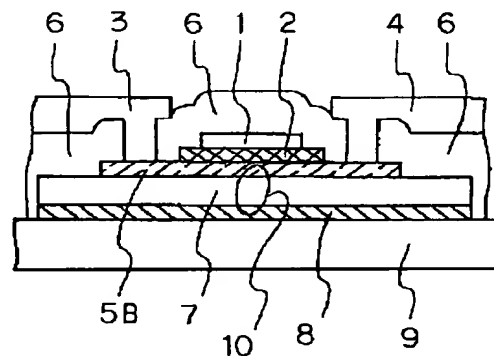
(21) Application number: **06201116**(71) Applicant: **A G TECHNOL KK**(22) Date of filing: **25 . 08 . 94**(72) Inventor: **TAKADA HITOSHI**(54) **ACTIVE MATRIX DISPLAY ELEMENT**

## (57) Abstract:

**PURPOSE:** To obtain high-grade display by lessening the potential fluctuation in an optical control layer with which polycrystal silicon TFTs come into contact.

**CONSTITUTION:** This active matrix display element is formed by forming a light shielding films 8, insulating films 7, channels of polycrystal silicon layers 5, gate insulating films 2 and gate electrodes 1 on a glass substrate 9 and is provided, with the polycrystal silicon TFTs 30 formed with source electrodes 3 and drain electrodes 4. The light shielding films 8 are made conductive and the potential lower than gate selection potential and higher than gate non-selection potential is applied on the light shielding film. As a result, the light shielding on the rear surface of the polycrystal silicon TFTs is attained and the leak currents occurring in the parasitic capacitance on the rear surface side of the channels are decreased.

COPYRIGHT: (C)1996,JPO



30



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 6 2 5 7 9

(43) 公開日 平成 8 年 (1996) 3 月 8 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G02F 1/133	550			
1/136	500			
H01L 29/786		9056-4M	H01L 29/78	619 B

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平 6 - 2 0 1 1 1 6  
(22) 出願日 平成 6 年 (1994) 8 月 2 5 日

(71) 出願人 3 9 2 0 0 2 2 0 6  
エイ・ジー・テクノロジー株式会社  
神奈川県横浜市神奈川区羽沢町松原 1 1 6  
0 番地  
(72) 発明者 高田 仁  
神奈川県横浜市神奈川区羽沢町 1 1 5 0 番  
地 旭硝子株式会社中央研究所内  
(74) 代理人 弁理士 泉名 謙治

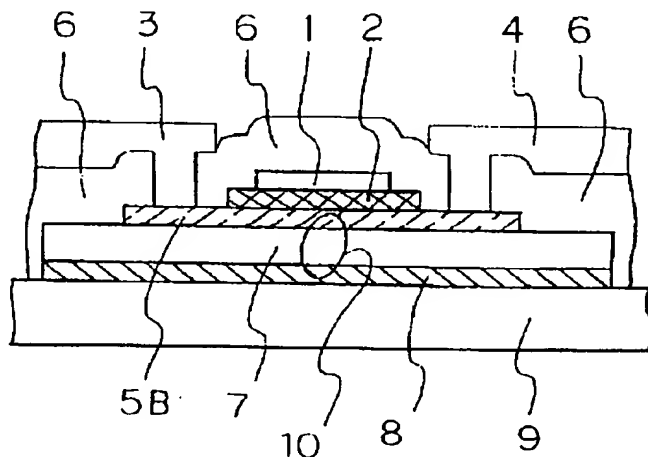
(54) 【発明の名称】 アクティブマトリックス表示素子

(57) 【要約】

【目的】 高品位の表示を得る。

【構成】 ガラス基板 9 上に遮光膜 8、絶縁膜 7、多結晶シリコン層 5 のチャンネル、ゲート絶縁膜 2、ゲート電極 1 が形成され、またソース電極 3、ドレイン電極 4 が形成された多結晶シリコン TFT 3 0 が設けられたアクティブマトリックス表示素子であって、遮光膜 8 が導電性とされ、遮光膜にゲート選択電位より低く、かつゲート非選択電位より高い電位が印加されてなることを特徴とするアクティブマトリックス表示素子。

【効果】 多結晶シリコン TFT の裏面側遮光を達成し、かつチャンネル裏面側の寄生容量に起因するリーク電流を低減せしめる。



## 【特許請求の範囲】

【請求項1】画素電極と、画素電極を駆動する駆動素子としてトップゲート型の多結晶半導体TFTが備えられた第1の基板と、

第2の基板との間に光制御層が備えられ、

第1の基板と多結晶半導体TFTのチャンネルとの間に絶縁膜と導電性の遮光膜とが設けられ、

前記絶縁膜は前記チャンネルと前記遮光膜との間に配置されたアクティブマトリックス表示素子であって、

前記遮光膜にゲート選択電位より低く、かつゲート非選択電位より高い、遮光膜電位が印加されてなることを特徴とするアクティブマトリックス表示素子。

【請求項2】請求項1のアクティブマトリックス表示素子において、次の式(1)と式(2)の関係を満たすことを特徴とするアクティブマトリックス表示素子。

## 【数1】

ゲート選択電位>遮光膜電位+10V ……………(1)

遮光膜電位>ゲート非選択電位+5V ……………(2)

【請求項3】請求項1または2のアクティブマトリックス表示素子において、

前記絶縁膜の膜厚が100~1000nmとされてなることを特徴とするアクティブマトリックス表示素子。

【請求項4】請求項1~3のいずれか1項のアクティブマトリックス表示素子において、光制御層に液晶・マトリックス複合層が用いられてなることを特徴とするアクティブマトリックス表示素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、多結晶半導体をチャンネルに用いた薄膜トランジスタ(以下、TFTと呼ぶ)を備えたアクティブマトリックス表示素子に関する。

## 【0002】

【従来の技術】近年、液晶表示素子をはじめとする平面型表示素子が様々な分野で広く用いられている。なかでもアクティブマトリックス表示素子は表示密度や視野角、コントラストなどの面で単純マトリックス表示素子に比して優位性がある。そして、通常アクティブマトリックス表示素子のスイッチング素子としてTFTが用いられている。

【0003】種々の構造形態があるTFTのなかで、その形成が容易であることからアモルファスシリコンTFTが広く用いられている。しかし、アモルファスシリコンTFTはキャリアの移動度が低いため高速のスイッチング動作が得られにくい。したがって、高性能の表示素子に求められる高開口率化、高解像度化、駆動回路集積化などの要求に応えられない。

【0004】そのため、アモルファスシリコンTFTに比べてキャリア移動度が相対的に高い多結晶シリコンTFTが今後の高性能表示素子用の駆動素子として期待されている。

【0005】次にトップゲート型TFTの基板側の遮光(裏面遮光)に関する従来技術を説明する。まず、従来例1(特開昭60-216377公報)では、アモルファスシリコンTFTの素子構造において遮光膜とソース電極配線とが兼用して用いられている。また、従来例2(特開平4-20935公報)では遮光膜と蓄積容量とを同一層に、同一材料にて形成することを特徴としている。しかし、これらの従来技術においても形成した遮光膜の電位をどのようにするかについては考慮されていない。

## 【0006】

【発明が解決しようとする課題】一般に、多結晶シリコンTFTには、アモルファスシリコンTFTに比較すればはるかに少ないが光を照射するとゲートを非選択(オフ状態)にした際のリーク電流が増大するという特性がある。そのため、液晶表示素子の画素を駆動するスイッチング素子として用いる際には、何らかの遮光を施すことが好ましい。しかし、トップゲート型の多結晶シリコンTFTにおいては、TFT素子構造の裏側からの光をさえぎり、かつTFT特性を損なわないような構造は従来知られていなかった。

【0007】なお、本発明でトップゲート型とはチャンネルからみてゲート電極が基板と反対側に設けられた構造のものを指している。コプレーナ型TFTまたは順スタガー型TFTなどがこの構造を有している。

## 【0008】

【課題を解決するための手段】本発明は、前述した課題を解決すべくなされたものであり、画素電極と、画素電極を駆動する駆動素子としてトップゲート型の多結晶半導体TFTが備えられた第1の基板と、第2の基板との間に光制御層が備えられ、第1の基板と多結晶半導体TFTのチャンネルとの間に絶縁膜と導電性の遮光膜とが設けられ、前記絶縁膜は前記チャンネルと前記遮光膜との間に配置されたアクティブマトリックス表示素子であって、前記遮光膜にゲート選択電位より低く、かつゲート非選択電位より高い、遮光膜電位が印加されてなることを特徴とするアクティブマトリックス表示素子を提供する。

【0009】また、本願の第2の発明として、上述したアクティブマトリックス表示素子において、次の式(1)と式(2)の関係を満たすことを特徴とするアクティブマトリックス表示素子を提供する。

## 【0010】

## 【数2】

ゲート選択電位>遮光膜電位+10V ……………(1)

遮光膜電位>ゲート非選択電位+5V ……………(2)

【0011】また、本発明における多結晶半導体TFTのチャンネル部裏面側に設ける絶縁膜の膜厚としては100~1000nm、好ましくは200~500nmが用いられる。絶縁膜の膜厚としては厚い方が寄生容量効

果が小さくなるが、膜厚を厚くすると絶縁膜の電気的接続を設けるための配線工程（コンタクトホール形成、または端部のエッチングなど）での障害となる。また、膜厚が薄過ぎると寄生容量効果が大きくなってしまう。

【0012】また、絶縁膜に用いる材料としては、 $\text{SiO}_2$ （誘電率 $\approx 3.9$ ）、 $\text{SiN}$ （誘電率 $\approx 7.5$ ）、 $\text{SiO}_2\text{N}$ （誘電率 $\approx 4\sim 7$ ）などの絶縁膜が用いられる。寄生容量効果の大きさを考慮した場合、絶縁膜の誘電率は低い方が好ましい。

【0013】このように、上記の式（1）と式（2）の条件は用いる材料や駆動回路の構成によって代わり得るが、例えば、ゲート非選択電位  $V_{G_{off}}$  を基準として、ゲート選択電位  $V_{G_{on}}$ 、コモン電位  $V_c$ 、信号電位  $V_s$  をコモン電位  $V_c$  に対する電圧の変位で表して  $V_s = V_c \pm V_{s10}$ 、遮光膜の電位を  $V_B$  とすると、次の式（3）～式（7）の関係が満たされることが好ましい。なお、単位はボルトとする。

【0014】

【数3】

$$V_{G_{off}} < V_B < V_{G_{on}} \quad \dots\dots\dots (3)$$

$$V_c \approx (V_{G_{on}} + V_{G_{off}}) / 2 \quad \dots\dots\dots (4)$$

$$V_s = V_c \pm V_{s10} \quad \dots\dots\dots (5)$$

$$V_c > V_{s10} > 0 \quad \dots\dots\dots (6)$$

$$V_{G_{off}} + 0.5 V_c < V_B < V_{G_{on}} - V_c \quad \dots\dots\dots (7)$$

【0015】本発明は種々の交流駆動方式においても適用することができる。少なくとも導電性の遮光膜が多結晶シリコンTFTのゲート電位（及び他のノード）に対して一定の電位に保持されればよい。

【0016】また、本発明のアクティブマトリックス表示素子において、通常光は第2の基板側から入射され第1の基板側に透過され出射される。言い換えれば、透過型の表示素子として用いられる。

【0017】以下、図面を参照しながら本発明の説明を行う。図1は、本発明のアクティブマトリックス表示素子に用いる多結晶半導体TFTを模式的に示した一部断面図である。

【0018】この多結晶半導体TFT30には、ゲート電極1、ゲート絶縁膜2、ソース電極3、ドレイン電極4、多結晶シリコン層5B、表面絶縁膜6、絶縁膜7、遮光膜8、ガラス基板9が設けられている。ゲート電極1とゲート絶縁膜2より構成されるゲート部にはゲートオフセット構造が形成されてリーク電流が低減され得るようになっている。

【0019】遮光膜8が導電性である場合には、TFT素子構造のチャンネルの非ゲート側（図1に示す紙面での下側、つまりチャンネルの下側）に、本来のゲート部に似た容量構造10が形成されてしまう。言い換えれば、疑似的なゲート構造であって、絶縁膜を間に挟んで二つの層（多結晶半導体の層と導電性の遮光膜の層）が形成されていることになる。したがって、このような構造を有

するTFTの全体的な電気的特性は、チャンネルの下部に存在する容量構造10の影響を受けることとなる。一般に多結晶シリコンTFTで、この導電性の遮光膜8の電位を浮かしておくと、リーク電流は増大するか、あるいは不安定になってしまう。

【0020】図2は多結晶シリコンTFTのゲート非選択時（TFTの動作としてはオフ状態）のゲート電圧において、上述したチャンネル下側の容量構造10の及ぼす電気的な寄与を調べた一例である。横軸が遮光膜電位（V）であり、縦軸がソースドレイン電流（A）を示す。なお、このソースドレイン電流はTFTの所望の動作としては不要なリーク電流を意味する。TFT素子構造としてはデュアルゲートとし、そのチャンネル長が10  $\mu\text{m}$ 、チャンネル幅が4  $\mu\text{m}$ 、ゲートオフセットが合計2.4  $\mu\text{m}$ とした。

【0021】そして、ソースドレイン間電圧を14V、ゲート電位をゲートオフ状態にあたる-5Vとしたときに、遮光膜8の電位を変えてリーク電流（ソースドレイン電流）を測定した。

【0022】この図2からリーク電流が、遮光膜8の電位によって大きく変わることがわかる。そして、その極小値を与える遮光膜電位（ $V_{B_{min}}$ （V））が存在している。また、リーク電流の最小値を与える  $V_{B_{min}}$  は、ゲート電圧と遮光膜8の上の絶縁膜7の膜厚に大きく依存して変化することがわかった。その最小値は容量構造10の容量が小さいほど小さくなる。

【0023】このように多結晶シリコンTFTを構成要素とする画素の駆動素子の構造において、リーク電流を低く抑えるためには、ゲート非選択時のゲート電位において、容量構造10による図2に示したようなリーク電流の寄与が小さくなるよう遮光膜8の電位を選んで印加することが好ましい。以下に、実施例について説明する。

【0024】

【実施例】

（実施例1）無アルカリ性のガラス基板上に、50nmのCr遮光膜を形成し、400nmの $\text{SiO}_2$ （シリカ）絶縁膜を積層した。なお、遮光膜上の絶縁膜の材料はシリカに限定されない。また、その膜厚も絶縁性を有する範囲であればよい。あるいは、図2に示したリーク電流への寄与の最小値が十分小さくなるような範囲であればよい。シリカにおいては上述したように100～1000nm程度が用いられ得る。遮光膜についてもCrに限らず、導電性の材料であればすべて本発明が適用可能である。

【0025】また、表示素子内部では各TFTに応じて形成する遮光膜それぞれが電気的に接続されほぼ一様な電位となっていることが好ましい。また、ほぼ全面を覆うようなベタ膜であってもよいし、所望の位置を覆うストライプ状であってもよい。透過型の表示素子に用いる

場合にはストライプ状または格子状の方が好ましい。また、基板上のTFTに対応するように配置して設けられ、さらに所定の電位になるように導電接続される。

【0026】さらにアモルファスシリコン膜をプラズマCVDで積層し、アルゴンイオンレーザによってビームアニールして多結晶シリコンを得た。ビームアニールを行う際の状態を図4に示す。ガラス基板9、遮光膜8、絶縁膜7、アモルファスシリコン膜5A、多結晶シリコン層5B、多結晶シリコンのストライプ5C、アニール用表面保護膜21、レーザビーム20のビームスポット20Aを示す。

【0027】このようにして得られた多結晶シリコンのストライプ5Cをさらにパターンニングして半導体アイランドを形成した。この上に120nmのシリカをゲート絶縁膜を積層し、さらに150nmのCrゲート電極を形成した。さらに、多結晶シリコン層のソース部、ドレイン部に非質量分離のイオンシャワー装置を用いてPイオンを打ち込んでn型領域を形成し、その上にCrとアルミニウムを順に積層した複合金属電極を形成して多結晶シリコンTFTを形成した。

【0028】TFTの各部の素子寸法としては、チャンネル長はデュアルゲートで10 $\mu$ m、チャンネル幅は4 $\mu$ mとし、ゲートオフセットは合計2.4 $\mu$ mとした。この構造のTFTを用いて直視型TN液晶表示素子を作製した。

【0029】画素駆動の方法はフレーム反転駆動とした。このとき、ゲート非選択電位を基準(0V)として、ゲート選択電位を20V、コモン電位10V(対向電極の電位)、信号電位4~16V(ソース電極の電位、これはTFTのオン時のドレイン電極の電位にほぼ等しい)、遮光膜の電位7Vとして画素駆動を行った。この駆動方法により、多結晶シリコンTFTのリーク電流は2pA以下に抑えられ、裏面側の遮光による光リーク電流の低減と、チャンネル下側の容量構造によるリーク電流の低減を両立した。

【0030】この結果、ゲート非選択期間において、光制御層として用いられている液晶層の電位変動は十分小さくなり、安定した高い表示品位を実現した。

【0031】(実施例2)直視型の表示素子と異なり、強い光源を備えた投射型液晶表示装置においては、光源を表示素子の対向基板側(本発明における第2の基板側)に配置する。そのため、主たる遮光膜は対向基板側またはTFTの上面に配置する。しかし、光の透過吸収による動作モードを有するTN-LCDと異なり、液晶と高分子などの複合体を光制御層に用いて、透過散乱型の動作モードで機能せしめる液晶・マトリックス複合体層を備えた液晶表示素子内では、光の散乱によってガラス基板の裏面を経由する経路でTFT裏側へ到達する不要な散乱光が生じる。そのTFTへの光照射が無視でなくなる。

【0032】表示素子の内部での状態を図3に示す。投射型表示装置に用いる表示素子40には、ガラス基板14、多結晶シリコンTFT30A、透明な画素電極12(ITO)、対向基板15、対向側遮光膜13、対向電極17、光制御層16(液晶カプセル16A及びマトリックス体16B)が設けられている。図示を省略した光源から進行してきた光は、光制御層16の中で散乱されその進行方向が変わる。例えば、光路18に示すようにガラス基板14の裏面で反射されて多結晶シリコンTFT30Aの裏面、即ちチャンネルの下側に到達し得る。したがって、上述した図1に示したように、TFTのチャンネルの下側の遮光膜も併せて配置することが好ましい。

【0033】実施例1と同一構造の多結晶シリコンTFT30Aを用いた。ガラス基板14の上に遮光膜(図示を省略している)を形成した。光制御層16には楕円体状の液晶カプセルを形成した液晶と光硬化性アクリル樹脂とにより、液晶・マトリックス複合体層を用いた液晶表示素子を形成した。この液晶・マトリックス複合体層のマトリックスにはアクリル樹脂以外のポリマーも用いることができる。また、光学的に透明である液状物を用いることもできる。

【0034】さらに、光源51及びその他の光学素子52、53、及び投射光学系54と組み合わせて投射型液晶表示装置50を構成した。その全体構成を図5に示す。TFTの対向側(図3の紙面の上面)に位置する対向側遮光膜13は、対向基板15にCrをマトリックス状にパターンニングして形成し配置した。この対向側遮光膜13によって、TFTに表側から進入する光19の遮光を行う。

【0035】画素駆動は実施例1と同様に行った。このようにして、多結晶シリコンTFT30Aのリーク電流は2pA以下に抑えられた。遮光膜による多結晶シリコンTFTへの裏面照射防止効果による光リーク電流の低減と、チャンネル下側の容量構造によるリーク電流の低減を両立することができた。この結果、強い光源を用いた場合であっても光制御層の中で生じる不要な散乱光に起因するリーク電流を低減することができた。そして、多結晶シリコンTFTのゲート非選択期間に、多結晶シリコンTFTが接する光制御層における電位変動が十分小さくなり、高い表示品位を実現した。

【0036】

【発明の効果】本発明によって、アクティブマトリックス表示素子に用いる多結晶シリコンTFTのリーク電流を飛躍的に低減せしめることができた。

【0037】また、実施例2のような強い光を用いる投射型表示装置においても、多結晶シリコンTFTのリーク電流に起因する不良現象を解消することができた。

【0038】例えば、電圧無印加時にホワイトとなるノーマリーホワイト表示形式の場合であっても、黒の階調が正しく表示され、コントラストの高い表示が実現でき

た。また、グレースケールを表示する場合でも黒の部分が浮かび上がらずに高いコントラスト状態でパターン表示ができた。

【図面の簡単な説明】

【図1】本発明における多結晶半導体TFTの一部断面図。

【図2】多結晶シリコンTFTにおける遮光膜電位によるソースドレイン電流の変動を示す特性図。

【図3】本発明における液晶・マトリクス複合体層を備えたアクティブマトリクス表示素子の一部断面図。

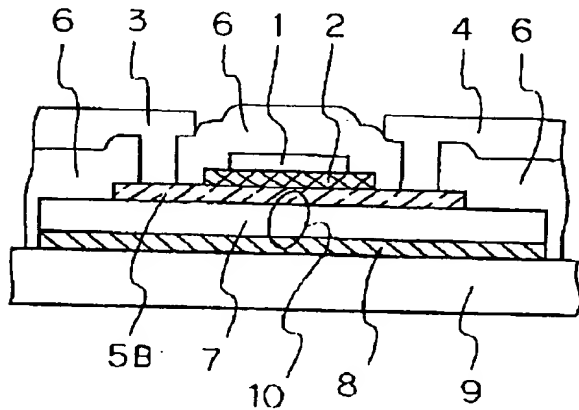
【図4】ビームアニールによる多結晶化の工程を示す模式図。

【図5】本発明の投射型表示装置を示すブロック図。

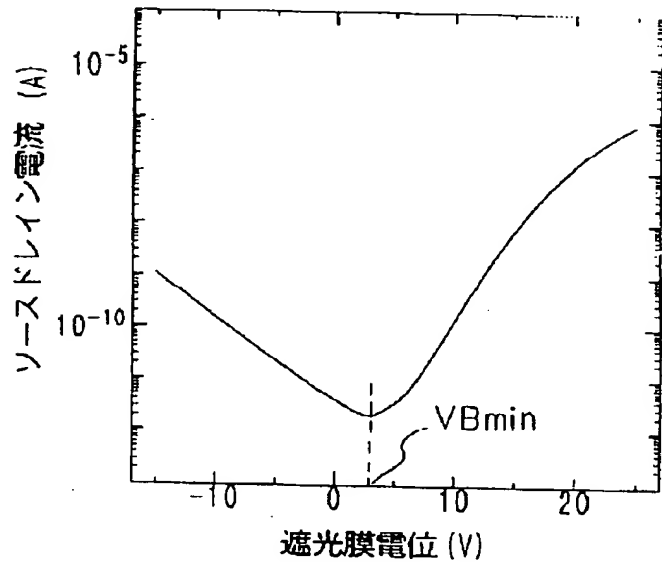
【符号の説明】

- 1 : ゲート電極
- 2 : ゲート絶縁膜
- 3 : ソース電極
- 4 : ドレイン電極
- 5 A : アモルファスシリコン膜
- 5 B : 多結晶シリコン層
- 6 : 表面絶縁膜
- 7 : 絶縁膜
- 8 : 遮光膜
- 9 : ガラス基板

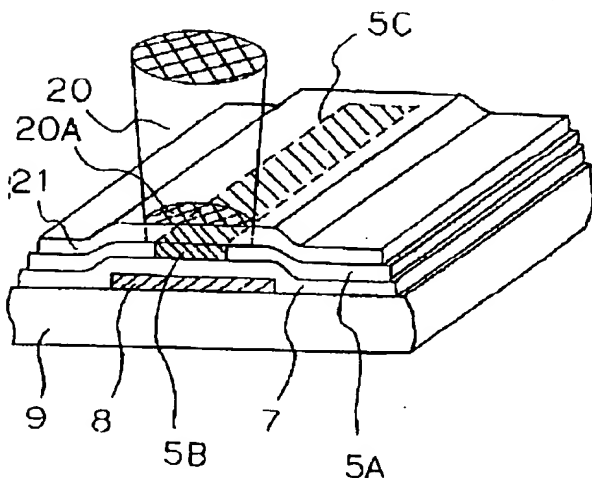
【図1】



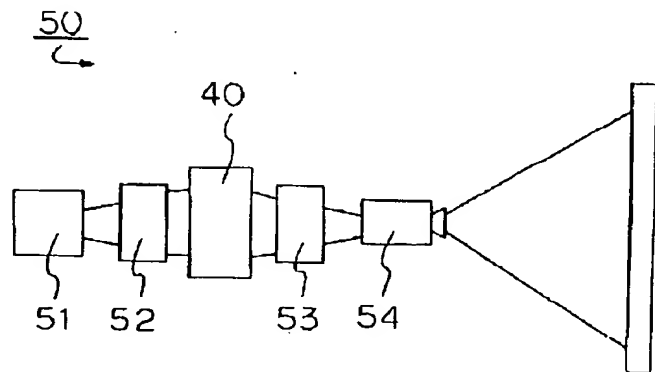
【図2】



【図4】



【図5】



【図3】

